

CUSTOMER NO. 23932



Docket No.: 61181-00011USPX  
(PATENT)

**IN THE UNITED STATES PATENT AND TRADEMARK OFFICE**

In re Patent Application of:  
Roberto Pelliconi et al.

Application No.: 10/772590

Confirmation No.: 2338

Filed: February 4, 2004

Art Unit: 2142

For: SYNCHRONIZATION METHOD OF DATA  
INTERCHANGE OF A COMMUNICATION  
NETWORK, AND CORRESPONDING  
CIRCUIT AND ARCHITECTURE

Examiner: Not Yet Assigned

**CLAIM FOR PRIORITY AND SUBMISSION OF DOCUMENTS**

Commissioner for Patents  
P.O. Box 1450  
Alexandria, VA 22313-1450

I hereby certify that this correspondence is being deposited with the U.S. Postal Service with sufficient postage as First Class Mail, in an envelope addressed to: Commissioner for Patents, P.O. Box 1450, Alexandria, VA 22313-1450, on the date shown below.

Dated: August 2, 2004

Signature: 

(Dargo Barbarash)

Dear Sir:

Applicant hereby claims priority under 35 U.S.C. 119 based on the following prior foreign application filed in the following foreign country on the date indicated:

<u>Country</u>	<u>Application No.</u>	<u>Date</u>
European Community	03425069.6	February 6, 2003

In support of this claim, a certified copy of the said original foreign application is filed herewith.

Dated: August 2, 2004

Respectfully submitted,

By 

Andre M. Szuwalski

Registration No.: 35,701

JENKENS & GILCHRIST, A PROFESSIONAL  
CORPORATION

1445 Ross Avenue, Suite 3200

Dallas, Texas 75202

(214) 855-4500

Attorneys For Applicant

**THIS PAGE BLANK (USPTO)**



**Europäisches  
Patentamt**

**European  
Patent Office**

**Office européen  
des brevets**

**Bescheinigung**

**Certificate**

**Attestation**

Die angehefteten Unterlagen stimmen mit der ursprünglich eingereichten Fassung der auf dem nächsten Blatt bezeichneten europäischen Patentanmeldung überein.

The attached documents are exact copies of the European patent application described on the following page, as originally filed.

Les documents fixés à cette attestation sont conformes à la version initialement déposée de la demande de brevet européen spécifiée à la page suivante.

**Patentanmeldung Nr.    Patent application No.    Demande de brevet n°**

03425069.6

Der Präsident des Europäischen Patentamts;  
Im Auftrag

For the President of the European Patent Office

Le Président de l'Office européen des brevets  
p.o.

**R C van Dijk**

**THIS PAGE BLANK (USPTO)**



Anmeldung Nr:  
Application no.: 03425069.6  
Demande no:

Anmeldetag:  
Date of filing: 06.02.03  
Date de dépôt:

Anmelder/Applicant(s)/Demandeur(s):

STMicroelectronics S.r.l.  
Via C. Olivetti, 2  
20041 Agrate Brianza (Milano)  
ITALIE

Bezeichnung der Erfindung/Title of the invention/Titre de l'invention:  
(Falls die Bezeichnung der Erfindung nicht angegeben ist, siehe Beschreibung.  
If no title is shown please refer to the description.  
Si aucun titre n'est indiqué se referer à la description.)

Synchronization method of data interchange of a communication network and  
corresponding circuit and architecture

In Anspruch genommene Priorität(en) / Priority(ies) claimed /Priorité(s)  
revendiquée(s)  
Staat/Tag/Aktenzeichen/State/Date/File no./Pays/Date/Numéro de dépôt:

Internationale Patentklassifikation/International Patent Classification/  
Classification internationale des brevets:

G06F13/00

Anmeldetag benannte Vertragsstaaten/Contracting states designated at date of  
filing/Etats contractants désignées lors du dépôt:

AT BE BG CH CY CZ DE DK EE ES FI FR GB GR HU IE IT LU MC NL  
PT SE SI SK TR LI

**THIS PAGE BLANK (USPTO)**

Titolo: Metodo per sincronizzare lo scambio di dati in una rete di comunicazione, relativo circuito e architettura.

## DESCRIZIONE

### Campo di applicazione

5 La presente invenzione fa riferimento ad un metodo per sincronizzare lo scambio di dati in una rete di comunicazione.

Più specificatamente l'invenzione si riferisce ad un metodo per sincronizzare lo scambio di dati in un circuito elettronico integrato su un substrato semiconduttore comprendente un blocco trasmettitore ed  
10 un blocco ricevitore connessi da una rete di comunicazione comprendente le fasi di:

- generare un segnale dati avente un periodo di trasmissione su una prima linea che da detto blocco trasmettitore che deve essere ricevuto al blocco ricevitore;

15 - generare su una seconda linea un segnale di congestione dal blocco ricevitore al blocco trasmettitore all'occorrenza di un evento di congestione del blocco ricevitore in modo da interrompere la trasmissione di detto segnale dati.

L'invenzione fa altresì riferimento ad un circuito integrato elettronico integrato su un substrato semiconduttore comprendente un blocco  
20 trasmettitore ed un blocco ricevitore connessi da una rete di comunicazione detta rete di comunicazione comprendente prima (5) linea per un segnale dati, una seconda linea per un segnale di congestione.

25 L'invenzione fa inoltre riferimento ad un'architettura per realizzare un circuito integrato elettronico integrato su un substrato semiconduttore comprendente un blocco trasmettitore ed un blocco ricevitore connessi da una rete di comunicazione, detta rete di comunicazione comprendente una pluralità di linee di segnale.

L'invenzione riguarda in particolare, ma non esclusivamente, un metodo per sincronizzare lo scambio di dati in una rete di comunicazioni e la descrizione che segue è fatta con riferimento a questo campo di applicazione con il solo scopo di semplificarne l'esposizione.

5     Arte nota

10     E' ben noto, che nei sistemi elettronici molto complessi integrati su uno stesso chip, come ad esempio circuiti a multiprocessore con memorie inglobate (embedded memories) oppure circuiti di tipo SoC (System on circuit chip), particolare attenzione deve essere posta ai ritardi introdotti nella trasmissione dei segnali all'interno delle reti di inconnessione.

15     Infatti i diversi dispositivi devono poter comunicare tra loro e tale comunicazione risulta particolarmente critica quando tali dispositivi non sono tra loro sincronizzati, cioè comandati da uno stesso segnale di clock. Ovviamente, se la comunicazione non avviene in modo corretto il funzionamento dell'intero circuito non è più affidabile.

Un'altra esigenza particolarmente sentita negli ultimi anni è quella di realizzare circuiti, e quindi reti di comunicazione, che siano facilmente riconfigurabili.

20     Una prima soluzione tecnica nota per soddisfare questa necessità di rendere riconfigurabili le reti di comunicazione, prevede che il sistema circuitale in cui tali reti di comunicazioni sono inserite, venga provvisto di una memoria che memorizza una serie predeterminata di configurazioni delle reti di comunicazione che all'occorrenza possono venir recuperate per riconfigurare il sistema circuitale e la rete di  
25     comunicazione.

30     Pur vantaggiosa sotto vari aspetti, questa soluzione presenta vari inconvenienti. In particolare, è necessario del tempo per riconfigurare il sistema circuitale, ad esempio dell'ordine dei microsecondi, ma questo tempo può essere anche superiore in base alla quantità di dati che devono essere letti dalla memoria sulla quale sono memorizzate le configurazioni.



Le attuali esigenze progettuali e di funzionamento richiedono sempre più di impiegare il minor tempo possibile per riconfigurare il sistema.

5 Come è noto per migliorare la velocità di trasmissione dati in reti di comunicazioni lente o lunghe, in cui il dato impiega del tempo per passare da un punto all'altro della rete, e per rendere affidabili tali trasmissioni vengono usati protocolli di comunicazione.

Un primo protocollo noto per la trasmissione dei dati è noto come wave pipeling. Come noto un sistema di trasmissione dati comprende un trasmettitore, un ricevitore ed una serie di linee di trasmissione.

10 In questo tipo di protocollo il trasmettitore trasmette dati ad una frequenza maggiore rispetto al ritardo della rete di comunicazione.

Tuttavia in questo tipo di protocollo quando la trasmissione deve essere sospesa, eventualmente per la congestione del ricevitore, i dati vengono irrimediabilmente persi.

15 E' quindi necessario che il ricevitore informi il trasmettitore, mediante l'invio di un segnale, che non è più in grado di ricevere correttamente e quindi di sospendere la trasmissione.

20 Se il ricevitore ed il trasmettitore fossero vicini e la trasmissione dei segnali fosse veloce, l'invio di un segnale per fermare la trasmissione del trasmettitore sarebbe sufficiente per interrompere correttamente la trasmissione utilizzando protocolli convenzionali.

25 Tuttavia intercorre del tempo, detto tempo di latenza, tra quando il ricevitore invia un segnale che è correttamente riconosciuto dal trasmettitore; la successiva serie di dati trasmessa, nell'intervallo di tempo intercorso tra invio del segnale di stop e l'effettivo interruzione di dati, potrebbe andare perduta.

Una soluzione nota per risolvere tale inconveniente nota con il nome di elastic interconnection.

In particolare con riferimento a figura 1, un dispositivo integrato 1a

comprende un trasmettitore 2a, un ricevitore 3a connessi tra loro da una rete 4a di comunicazione. Tale rete di comunicazione comprende una o più linee 5a di segnale dati tra loro poste in parallelo. La rete di comunicazione 4a viene divisa in una pluralità di stadi  $A_1, \dots, A_n$ . Tra  
5 ciascuno stadio  $A_1, \dots, A_n$  viene inserito un ripetitore tristate  $B_1, \dots, B_n$ . Tali ripetitori  $B_1, \dots, B_n$  sono in grado di campionare e mantenere il livello di tensione della linea 5a di segnale dati che arriva loro in ingresso.

10 La rete 4a di comunicazione è inoltre provvista di un'ulteriore linea 6a di segnale in cui passa un segnale denominato segnale di congestione che è un segnale unidirezionale è trasmesso dal ricevitore 3a al trasmettitore 2a.

La linea 6 di segnale di congestione è divisa in rispettivi stadi  $C_1, \dots, C_n$  interconnessi tra loro da ripetitori  $D_1, \dots, D_n$ .

15 Ciascun ripetitore  $C_1, \dots, C_{n+1}$  alla linea 6a di segnale di congestione pilota un rispettivo ripetitore tristate  $B_1, \dots, B_n$ .

Quando il ricevitore 2a non è più in grado di ricevere dati invia il segnale di congestione. Tale segnale propagandosi sulla linea 6a abilita i ripetitori tristate  $B_1, \dots, B_n$  delle linee di segnale dati.

20 In questo maniera se all'interno di un stadio  $A_{n-1}$  c'è una carica, associata ad un predeterminato livello logico, quando i due ripetitori tristate associati a questo stadio sono aperti, tale carica viene memorizzato nello stadio  $A_{n-1}$ .

25 Ipotizzando che ciascun dato  $S_2$  durante la trasmissione occupi due stadi consecutivi all'istante  $\tau_0$  in cui viene inviato il segnale di congestione come mostrato in figura 2, all'arrivo del segnale di congestione dopo che il segnale di congestione è transitato nello stadio  $C_n$  all'istante  $\tau_0 + \tau_d$  il dato  $S_2$  viene compresso in un solo stadio  $A_n$  come mostrato in figura 3 dove  $\tau_d$  è il ritardo di ogni singolo stadio  $A_n$  o  
30 ritardo unitario.

Quando il segnale di congestione viene nuovamente variato da

trasmettitore 2a, i ripetitori tristate B1, ..., Bn vengono disabilitati ed in flusso di dati continua a fluire nella rete di comunicazione decomprimendo il dato.

5 Ancorché rispondente allo scopo, anche questa soluzione non è esente da inconvenienti.

Infatti se si verifica che il dato S2' occupa meno di due stadi successivi, come mostrato in figura 4 può capitare che il dato nella fase di compressione venga compresso insieme a parte del dato successivo S3 rendendo impossibile la ricostruzione del dato S2' da parte del ricevitore 3a.

10

Affinché questo protocollo noti funzioni correttamente la lunghezza del dato deve occupare esattamente di due stadi. In altre parole la lunghezza temporale del dato trasmesso deve essere esattamente due volte il ritardo unitario  $\tau_d$  di ogni singolo stadio.

15 Quindi affinché la trasmissione avvenga correttamente vi deve essere una perfetta sincronizzazione tra il trasmettitore 2a ed il ricevitore 3a, cioè deve risultare che la frequenza di trasmissione dati deve essere la stessa della ricezione dei dati in modo da recuperare correttamente di dati che sono stati memorizzati e compressi all'interno della rete di comunicazione.

20

Il problema tecnico che sta alla base della presente invenzione è quello di escogitare un protocollo di comunicazione, avente caratteristiche funzionali e strutturali tali da consentire al ricevitore ed trasmettitore di lavorare a frequenza differenti superando le limitazioni e gli inconvenienti di affidabilità e velocità che tuttora limitano i protocolli di comunicazione dell'arte nota.

25

Un ulteriore problema tecnico è quello di realizzare una rete di comunicazione in cui il ritardo unitario,  $\tau_d$ , di ogni singolo stadio risulta minimizzato.

### Sommario dell'invenzione

5 L'idea di soluzione che sta alla base della presente invenzione è quella di associare un ulteriore segnale nella rete di comunicazione dei segnali dati e di congestione già esistenti in modo da rendere possibile la lettura del segnale dati da parte del ricevitore pur non conoscendo a priori la frequenza del segnale dati, anche dopo che tale segnale dati è stato temporaneamente sospeso durante la trasmissione.

10 Per minimizzare il ritardo unitario,  $\tau_d$ , di ogni singolo stadio in cui la rete di comunicazione è divisa, viene inoltre realizzata una rete di comunicazione comprendente una pluralità di blocchi elementari tutti uguali tra loro.

Sulla base di tale idea di soluzione il problema tecnico è risolto da un metodo per sincronizzare lo scambio di dati del tipo precedentemente indicato e definito dalla parte caratterizzante della rivendicazione 1.

15 Il problema è altresì risolto da un circuito del tipo precedentemente indicato e definito dalla parte caratterizzante della rivendicazione 9.

Il problema è altresì risolto da una architettura del tipo precedentemente indicato e definito dalla parte caratterizzante della rivendicazione 11.

20 Le caratteristiche ed i vantaggi del protocollo e della rete secondo l'invenzione risulteranno dalla descrizione, fatta qui di seguito, di un suo esempio di realizzazione dato a titolo indicativo e non limitativo con riferimento ai disegni allegati.

### Breve descrizione dei disegni

25 In tali disegni:

- la figura 1 mostra un circuito schematico di un dispositivo elettronico integrato su un substrato semiconduttore comprendente una rete di comunicazione realizzata secondo l'arte nota;

- le figure 2 e 3 mostrano l'andamento temporale di un primo segnale

dati attraverso la rete di comunicazione di figura 1,

- le figure 4 e 5 mostrano l'andamento temporale di un secondo segnale dati attraverso la rete di comunicazione di figura 1,

5 - la figura 6 mostra un circuito schematico di un dispositivo elettronico integrato su un substrato semiconduttore comprendente una rete di comunicazione realizzata secondo l'invenzione;

- la figura 7 mostra i segnali che vengono scambiati in una variante della rete di comunicazione realizzata secondo l'invenzione;

10 - la figura 8 mostra una architettura di un dispositivo elettronico integrato su un substrato semiconduttore comprendente, ad esempio, una rete di comunicazione realizzata secondo l'invenzione;

- la figura 9 mostra un primo dettaglio implementativo dell'architettura di figura 8;

15 - la figura 10 mostra un secondo dettaglio implementativo dell'architettura di figura 8.

#### Descrizione dettagliata

Con riferimento a figura 6, viene descritta una rete di interconnessione che può essere utilizzata con il protocollo secondo l'invenzione.

20 Il dispositivo integrato 1 comprende un trasmettitore 2, un ricevitore 3 connessi tra loro da una rete 4 di comunicazione. Tale rete 4 di comunicazione comprende una o più linee 5 di segnale dati tra loro poste in parallelo. La rete 4 di comunicazione viene divisa in diversi stadi E1, .. En. Tra ciascuno stadio E1, .., En appartenente alla stessa  
25 linea viene inserito un ripetitore tristate F1, .., Fn. Tali ripetitori F1, .., Fn sono in grado di campionare e mantenere il livello di tensione della linea di segnale dati che arriva loro in ingresso.

La rete 4 di comunicazione è provvista di un'ulteriore linea 6 di segnale in cui passa un segnale denominato segnale di congestione che è un segnale unidirezionale trasmesso dal ricevitore 3 al trasmettitore 2.

Secondo l'invenzione, la rete 4 di comunicazione è inoltre provvista di un'ulteriore linea 7 di segnale in cui passa un segnale denominato segnale di sincronismo che è un segnale unidirezionale trasmesso dal trasmettitore 2 al ricevitore 3.

- 5     Sia la linea 6 di segnale di congestione che linea 7 di segnale di sincronismo sono divise in rispettivi stadi  $G_1, \dots, G_n$  e  $H_1, \dots, H_n$ .

10    Tra ciascuno stadio  $G_1, \dots, G_n$  appartenente alla linea 6 di segnale di congestione è inserito un ripetitore  $L_1, \dots, L_n$ , mentre tra ciascuno stadio  $H_1, \dots, H_n$  appartenente alla linea 7 di segnale di sincronizzazione è inserito un ripetitore  $M_1, \dots, M_n$ .

Ciascun ripetitore tristate  $F_1, \dots, F_n$  è accoppiato ad un rispettivo ripetitore  $L_1, \dots, L_n$  alla linea 6 di segnale di congestione ed ad un rispettivo ripetitore  $M_1, \dots, M_n$  alla linea 7 del segnale di sincronizzazione.

- 15    Viene ora descritto il funzionamento del metodo per sincronizzare lo scambio di dati denominato anche protocollo, secondo l'invenzione.

20    Durante il trasferimento del segnale dati dal trasmettitore 2 al ricevitore 3, il ricevitore invia un segnale di congestione ogni volta che avviene una congestione al ricevitore 3, cioè che il ricevitore 3 non è in grado ricevere correttamente il segnale dati.

Come detto in relazione all'arte nota, all'occorrenza di un evento di congestione, viene emesso un segnale di congestione dal ricevitore, in risposta al quale il segnale dati viene memorizzato e compresso lungo la linea dati.

- 25    Secondo l'invenzione nella rete di comunicazione viene introdotto un segnale di sincronismo che ha la stessa direzione del flusso del segnale dati.

30    Tale segnale di sincronismo deve essere rilevabile dal ricevitore 3 e dal suo andamento il ricevitore 3 deve valutare se il segnale che sta arrivando è nuovo o vecchio.

In particolare, quando il segnale di sincronismo varia, il ricevitore 3 riconosce all'arrivo di un nuovo segnale dati.

Come detto tale segnale di sincronismo viene trasmesso insieme al segnale dati ad associato ad essi.

- 5 Vantaggiosamente, il segnale di sincronismo viene trasmesso dopo che il segnale dati è stato inviato in modo da assicurare che il segnale dati sia già arrivato al ricevitore 2 quando arriva il segnale di sincronismo.

In questo modo il ricevitore 3 quando arriva il segnale di sincronismo sta ricevendo il nuovo segnale dati e lo può leggere correttamente.

- 10 Vantaggiosamente, il segnale di sincronismo, viene inviato a metà della trasmissione del segnale dati cioè il segnale di sincronismo viene ritardato di metà periodo rispetto al segnale dati del trasmettitore 2.

- 15 E' importante sottolineare quindi che questo segnale di sincronismo non è un segnale di sincronizzazione comune al ricevitore 3 ed al trasmettitore 2, ma è un segnale che viene inviato insieme al segnale dati e dipende solo da quest'ultimo.

- 20 Grazie alla presenza del segnale di sincronismo il trasmettitore 2 può trasmettere il segnale dati ad una diversa, in generale minore, frequenza di campionamento del ricevitore 3. Il ricevitore 3 legge e ricostruisce il segnale dati inviati dal trasmettitore 2 solo in concomitanza con il ricevimento del segnale di sincronismo.

- 25 Quindi detto  $T_{TR}$  il periodo di sincronizzazione del trasmettitore e detto  $T_{REC}$  il periodo di campionamento del ricevitore, detto  $\tau_d$  il ritardo introdotto in ogni stadio  $S_1, \dots, S_n$  della rete di comunicazione, devono essere verificate le seguenti equazioni:

$$T_{TR} \geq 2 \tau_d,$$

$$T_{REC} \leq 2 \tau_d \lfloor T_{TR} / 2 \tau_d \rfloor,$$

In cui il termine  $\lfloor T_{TR} / 2 \tau_d \rfloor$  rappresenta in numero minimo di stadi in cui il segnale può essere memorizzato.

Da queste equazioni si evince che ciascun segnale dati può avere una durata di tempo di almeno due ritardi  $\tau_d$ , ma può essere anche più lungo.

5 Non fissando a priori la durata di tempo del segnale dati, il ricevitore 3 non può sapere a priori la lunghezza del dato trasmesso, e quindi non è in grado di valutare se il dato che gli arriva in un determinato istante è un dato nuovo che deve essere campionato o se è un dato vecchio che ha già campionato cioè ricostruito.

10 Quindi nel protocollo secondo l'invenzione il segnale di sincronismo cambia il suo stato ogni volta che i nuovi dati sono emessi dal trasmettitore.

15 In una vantaggiosa forma di realizzazione quando il ricevitore rileva la transizione del segnale di sincronismo setta un indicatore che indica l'arrivo di un nuovo dato; al successivo cambio di fronte del segnale di sincronizzazione del ricevitore, i dati nella linea del segnale dati sono letti dal ricevitore e l'indicatore che indica l'arrivo di un nuovo dato viene resettato (se questa indicatore non resettato, nessun altro dato verrà letto o rilevato); non appena i nuovi dati sono letti, il segnale valido è stabilito e rimane in questa condizione fino al fronte seguente  
20 del segnale di sincronizzazione del ricevitore.

È importante notare che, grazie al protocollo secondo l'invenzione, non è più necessario garantire che il segnale di sincronizzazione del ricevitore 3 e del trasmettitore 2 abbiano la stessa fase.

25 In definitiva quindi il segnale completo ricevuto dal ricevitore 3 è composto dalla combinazione dei segnale dati e del segnale di sincronismo. Vantaggiosamente i fronti di tali segnali sono separati in ogni istante di tempo in modo da consentire al ricevitore di ricostruire in nuovi dati correttamente, indipendentemente dalle variazioni di velocità dei singoli segnali all'interno della rete di comunicazione.

30 In forma di realizzazione particolarmente vantaggiosa la frequenza di trasmissione del trasmettitore è circa la metà del doppio del ritardo



minimo elementare, cioè deve essere verificata la seguente equazione:

$$T_{TR}/2 \geq 2 \tau_d.$$

- 5 Inoltre il protocollo secondo l'invenzione può essere vantaggiosamente utilizzato per reti di comunicazione bidirezionali oltre che per reti di comunicazione unidirezionali come descritto fino a questo punto.

In particolare, la struttura di un dispositivo bidirezionale è simile a quella di un dispositivo unidirezionale già descritto.

Chiaramente i ripetitori o buffer tristate  $F_1, \dots, F_n$  sono tipo bidirezionale.

- 10 In questo tipo di reti, vantaggiosamente rispetto all'arte nota delle reti bidirezionali in cui la direzione della rete è memorizzata in bit di configurazione, la direzione viene definita da segnali aggiuntivi che collegano tra loro i singoli stadi  $E_1, \dots, E_n$ .

- 15 Ad esempio, nello schematico di figura 7 in cui sono mostrati i segnali che vengono scambiati tra due blocchi, oltre al segnale dati, al segnale di sincronismo e di congestione che possono essere utilizzati in entrambe le direzioni di comunicazione, vengono illustrati due segnali unidirezionali che unicamente determinano la direzione di trasmissione della rete di comunicazione.

- 20 Tali segnali unidirezionali sono settati dopo che il trasmettitore ha inviato una richiesta al ricevitore indicando che sta per incominciare a trasmettere.

- 25 In particolare, nello schematico di figura 7 vengono illustrati una serie di segnali che possono essere utilizzati in una rete di commutazione bidirezionale.

Nel collegare un blocco generico A con un blocco B, il segnale  $tx\_A$  è collegato con  $rx\_B$  e  $tx\_B$  con il  $rx\_A$ . I segnali  $tx\_A$  e  $tx\_B$  sono dei segnali di uscita, mentre  $rx\_A$  e  $rx\_B$  sono segnali di ingresso. Questi segnali definiscono il blocco ricevitore e il blocco trasmettitore. Il blocco

trasmettitore è caratterizzato dal segnale di uscita pari ad un valore logico alto, mentre il blocco ricevitore è caratterizzato da un segnale di uscita pari ad un valore logico basso. La definizione di blocco trasmettitore e blocco ricevitore è stabilita dallo stato di configurazione prima della trasmissione, quindi cambia dinamicamente usando un protocollo di trattativa di direzione della trasmissione. I valori assegnati ai segnali tx \_ A e tx \_ B definiscono la direzione di tutti gli altri segnali che attraversano la rete di comunicazione: i segnali dati e sincronizzazione (entrambi già usati anche nella realizzazione unidirezionale) sono pilotati dal blocco del trasmettitore, mentre il segnale di congestione (già usato nella realizzazione unidirezionale) e i segnali di richiesta trasmissione tx\_rq sono pilotati dal blocco ricevente.

La definizione della direzione dei segnali è ottenuta pilotando adeguati segnali al buffer bidirezionale tristate. La trattativa per definire la direzione è controllata dal segnale di richiesta trasmissione tx\_rq, pilotato dal blocco ricevente. Ogni qualvolta che il blocco ricevente desidera trasformarsi in blocco trasmettitore, forza il segnale tx\_rq ad un valore logico alto. Quando il blocco trasmettitore riceve la richiesta, decide, secondo la politica di trattativa, quando affidare il controllo al blocco ricevente che forza il segnale tx\_ ad un valore logico alto e diventando blocco ricevente. Quando il blocco ricevente rileva questo evento, forza il segnale tx\_ ad un valore logico alto e diventa il blocco trasmettitore. Quindi l'inversione di senso entra in vigore.

Vantaggiosamente, tali segnali tx\_ rx\_ e tx\_rq utilizzano alcune delle linee dati. Nulla vieta che tali segnali possano utilizzare delle ulteriori linee dedicate.

Come è possibile evincere dalla precedente descrizione il protocollo secondo l'invenzione sarà più efficiente quanto più se implementato in una architettura comprendente una pluralità di blocchi in cui viene minimizzato il ritardo elementare  $\tau_d$ .

Nell'arte nota per connettere due punti di una stessa rete, vengono normalmente impiegati dei multiplexer cosiddetti crossbar. Tuttavia questa soluzione non risulta ottimizzata per bus lunghi a cui sono

connesse un gran numero di porte.

E' quindi vantaggioso applicare il protocollo secondo l'invenzione in una architettura come quella mostrata in figura 8.

5     Tale architettura è una architettura multilivello comprendente una prima serie di dispositivi P che devono comunicare tra loro, che sono tra loro connessi da una pluralità di blocchi Q elementari. I dispositivi P sono collegati ai blocchi Q elementari mediante una seconda serie di dispositivi R di interfaccia.

10    Tali blocchi Q elementari sono tra loro connessi da un buffer S bidirezionale.

Vantaggiosamente i blocchi Q elementari sono tutti uguali in modo da poter avere una facilità di realizzazione ed in modo da estendere la struttura aumentando il numero di blocchi senza dover riprogettare l'intera struttura stessa.

15    Come mostrato in figura 8 ogni dispositivo P è connesso con due dispositivi R di interfaccia, che ricevono gli stessi segnali dal dispositivo P. La sola differenza è la connessione dei segnali unidirezionali che indicano la direzione della trasmissione che sono scambiati.

20    Lo scambio è necessario per connettere correttamente i segnali unidirezionali tra i differenti blocchi Q elementari.

Come detto i due segnali unidirezionali sono necessari solo per la definizione la direzione del flusso dei dati, in quanto indicarono la configurazione per i ripetitori bidirezionali (buffer) che devono essere correttamente pilotati per una corretta connettività.

25    Un esempio di dispositivi R di interfaccia è mostrato in figura 9. Tale dispositivo comprende una pluralità di linee TX<sub>j</sub>, DATA<sub>j</sub>, RX<sub>j</sub>, che sono divise in più stadi tra loro interconnessi da ripetitori 8, 9. In particolare, le linee TX<sub>j</sub>, RX<sub>j</sub> sono linee unidirezionali quindi i ripetitori 8 sono unidirezionali, mentre DATA<sub>j</sub> sono linee bidirezionali  
30    in cui i ripetitori 9 sono bidirezionali. Stabilita la direzione della

trasmissione viene disabilitata la trasmissione dei ripetitori 9 nella direzione contraria al flusso dati.

5 Inoltre ogni segnale con direzione OUT da un blocco elementare, cioè che esce dai terminali A0 e B0, può essere solo connesso ad un ingresso IN di un altro blocco Q elementare, cioè in ingresso ai terminali A1, B1.

Il dispositivo elementare è ad esempio un crossbar comprendente un mutiplexer 2x2, in modo da garantire delle capacità parassite locali. In figura 10 è mostrato lo schema di un tale multiplexer.

10 Tra il terminale A0 ed il terminale A1 sono inseriti due rami posti tra loro in parallelo. Il primo ramo comprende una prima serie di interruttori T00, T10 e mentre il secondo ramo comprende una seconda serie di interruttori T01, T11. Il terminale B0 è quindi preso tra il punto comune tra gli interruttori T00, T10 ed il terminale B1 è quindi preso tra il punto comune tra gli interruttori T01, T11.

15 Come si potrà notare le connessioni tra i terminali A0-A1, e B0-B1 non sono permesse abilitando un solo dispositivo di commutazione elementare, così l'architettura implementata è completamente flessibile per realizzare le possibili connessioni Ai-Bj.

20 Un esempio di funzionamento si ha considerando T00 acceso e gli altri spenti; gli effetti parassiti che sono causati dalla porzione sinistra di T01 e T10, mediante i fili di interconnessione e dei ripetitori considerati connessi ai vicini fili. Gli ultimi due contributi alle capacità parassite dipendono dalla lunghezza delle linee di interconnessione e dalla dimensione dei ripetitori, quindi per ridurre tali effetti parassiti è  
25 necessario realizzare strutture compatte.

Si realizza quindi una struttura in cui i dispositivi di commutazione elementare sono multiplexer 2x2, in modo che la lunghezza delle interconnessioni sono le minori possibili.

30 Vantaggiosamente la direzione della comunicazione della rete viene stabilita tra due blocchi Q elementari adiacenti mediante il settaggio di almeno un segnale, che tra i due blocchi Q elementari, identifica la

direzione di trasmissione.

- 5 Utilizzando il protocollo secondo l'invenzione nella architettura direzionale descritta una parte dei segnali DATA<sub>j</sub> viene utilizzata per il segnale di congestione e per il segnale di sincronizzazione, mentre i blocchi Q elementari implementano gli stadi unitari della rete di comunicazione e i buffer S bidirezionali implementano i ripetitori della rete.

In conclusione, il protocollo secondo l'invenzione consente di trasmettere dati di lunghezza variabile.

- 10 Inoltre dividendo la rete di comunicazione in tanti stadi più piccoli è possibile controllare più facilmente il ritardo elementare  $\tau_d$ . Infatti tanto più piccolo è il ritardo elementare tanto maggiore è la velocità dell'intera rete di comunicazione.

## RIVENDICAZIONI

1. Metodo per sincronizzare lo scambio di dati in un circuito (1) elettronico integrato su un substrato semiconduttore comprendente un blocco (2) trasmettitore ed un blocco (3) ricevitore connessi da una rete (4) di comunicazione comprendente le fasi di:
- 5
- generare un segnale dati avente un periodo ( $T_{TR}$ ) di trasmissione su una prima linea (5) che da detto blocco (2) trasmettitore che deve essere ricevuto al blocco (3) ricevitore;
  - generare su una seconda linea (6) un segnale di congestione dal blocco (3) ricevitore al blocco (2) trasmettitore all'occorrenza di un evento di congestione del blocco (3) ricevitore in modo da interrompere la trasmissione di detto segnale dati,
- 10
- caratterizzato dal fatto di generare su una terza linea (7) un segnale di sincronismo a partire da detto blocco (2) trasmettitore, tale segnale di sincronismo indicando al blocco ricevitore che il segnale dati contiene un nuovo dato, e dal fatto che il segnale di congestione interrompe anche la trasmissione di detto segnale di sincronismo all'occorrenza dell'evento di congestione al blocco (3) ricevitore.
- 15
2. Metodo per sincronizzare lo scambio di dati secondo la rivendicazione 1, caratterizzato dal fatto che detto segnale di sincronismo è ritardato rispetto al segnale dati.
- 20
3. Metodo per sincronizzare lo scambio di dati secondo la rivendicazione 2, caratterizzato dal fatto che detto segnale di sincronismo è ritardato di mezzo periodo ( $T_{TR}$ ) di trasmissione di rispetto al segnale dati.
- 25
4. Metodo per sincronizzare lo scambio di dati secondo la rivendicazione 1, caratterizzato dal fatto che il blocco (3) ricevitore legge il segnale dati con un periodo ( $T_{REC}$ ) di campionamento diverso dal periodo ( $T_{TR}$ ) di trasmissione del blocco (2) trasmettitore.

5. Metodo per sincronizzare lo scambio di dati secondo la rivendicazione 4, caratterizzato dal fatto che il blocco (3) ricevitore legge il segnale dati con un periodo ( $T_{REC}$ ) di campionamento minore del periodo ( $T_{TR}$ ) di trasmissione del blocco (2) trasmettitore.

5 6. Metodo per sincronizzare lo scambio di dati secondo la rivendicazione 1, caratterizzato dal fatto che detta prima, seconda e terza linea (5, 6, 7) sono divise in rispettivi stadi (E, G, H), ciascuno stadio (E, G, H) essendo separato da un rispettivo ripetitore (F,L,M), i ripetitori (F, M) della prima e terza linea (5, 7) essendo di tipo tristate ed  
10 essendo pilotati dal ripetitore (L) della seconda linea quando occorre un evento di congestione al blocco (3) ricevitore in modo che il segnale dati ed il segnale di sincronismo vengano memorizzati in detti stadi (E, H).

15 7. Metodo per sincronizzare lo scambio di dati secondo la rivendicazione 1, caratterizzato dal fatto che detti stadi (E, G, H) hanno un ritardo ( $\tau_d$ ) elementare che deve essere minore di metà del periodo ( $T_{TR}$ ) di trasmissione.

20 8. Metodo per sincronizzare lo scambio di dati secondo la rivendicazione 1, caratterizzato dal fatto di generare, su una coppia di ulteriori linee, una coppia di segnali (tx, rx) unidirezionali che indicano la direzione della trasmissione tra detto blocco (2) trasmettitore e detto blocco (3) ricevitore, la trattativa per definire la direzione della trasmissione essendo controllata da un ulteriore segnale di richiesta trasmissione (tx\_rq) pilotato dal blocco (3) ricevitore.

25 9. Circuito integrato elettronico integrato su un substrato semiconduttore comprendente un blocco (2) trasmettitore ed un blocco (3) ricevitore connessi da una rete (4) di comunicazione, detta rete di comunicazione comprendente prima (5) linea per un segnale dati, una seconda linea per un segnale di congestione, caratterizzato dal fatto di  
30 comprendere una terza linea (7) per il segnale di sincronismo in cui dette prima, seconda e terza linea (5, 6, 7) sono divise in rispettivi stadi (E, G, H), ciascuno stadio (E, G, H) essendo separato da un rispettivo ripetitore (F,L,M), i ripetitori (F, M) della prima e terza linea (5, 7)

essendo di tipo tristate ed essendo pilotati dal ripetitore (L) della seconda linea all'occorrenza di un evento di congestione del blocco (3) ricevitore in modo che il segnale dati ed il segnale di sincronismo vengano memorizzati in detti stadi (E, H).

5 10. Circuito integrato elettronico integrato su un substrato semiconduttore caratterizzato dal fatto che detta linea di segnale comprende una coppia di ulteriori linee in cui scorrono una coppia di segnali (tx, rx) unidirezionali che indicano la direzione della  
10 trasmissione tra detto blocco (2) trasmettitore e detto blocco (3) ricevitore, la trattativa per definire la direzione della trasmissione essendo controllata da un ulteriore segnale di richiesta trasmissione (tx\_rq) pilotato dal blocco (3) ricevitore.

15 11. Architettura per realizzare un circuito integrato elettronico integrato su un substrato semiconduttore comprendente un blocco (P; 2) trasmettitore ed un blocco (P; 3) ricevitore connessi da una rete (Q; 4) di comunicazione, detta rete di commutazione comprendente una pluralità di linee di segnale, caratterizzata dal fatto che dette linee di segnale sono divise in blocchi (Q; E, G, H) elementari, ciascun blocco (Q; E, G, H) essendo separato da un ripetitore (S; F,L,M), detti blocchi (Q; E, G, H) elementari essendo connessi a detti blocchi (P) di ricezione  
20 trasmissione mediante opportuni dispositivi (R) di interfaccia provvisti di segnali unidirezionali.

25 12. Architettura secondo la rivendicazione 11, caratterizzata dal fatto che dette linee di segnale comprendono una coppia di ulteriori linee in cui scorrono una coppia di segnali (tx, rx) unidirezionali che indicano la direzione della trasmissione tra detto blocco (2) trasmettitore e detto blocco (3) ricevitore, la trattativa per definire la direzione della trasmissione essendo controllata da un ulteriore segnale di richiesta trasmissione (tx\_rq) pilotato dal blocco (3) ricevitore.

30 13. Architettura secondo la rivendicazione 11, caratterizzata dal fatto che ciascun blocco (Q) elementare è realizzato da un multiplexer 2x2.



## RIASSUNTO

Viene descritto un metodo per sincronizzare lo scambio di dati in un circuito (1) elettronico integrato su un substrato semiconduttore comprendente un blocco (2) trasmettitore ed un blocco (3) ricevitore connessi da una rete (4) di comunicazione comprendente le fasi di:

- generare un segnale dati avente un periodo ( $T_{TR}$ ) di trasmissione su una prima linea (5) che dal blocco (2) trasmettitore che deve essere ricevuto al blocco (3) ricevitore;

- generare su una seconda linea (6) un segnale di congestione dal blocco (3) ricevitore al blocco (2) trasmettitore all'occorrenza di un evento di congestione del blocco (3) ricevitore in modo da interrompere la trasmissione del segnale dati,

caratterizzato dal fatto di generare su una terza linea (7) un segnale di sincronismo a partire dal blocco (2) trasmettitore, tale segnale di sincronismo indicando al blocco ricevitore che il segnale dati contiene un nuovo dato, e dal fatto che il segnale di congestione interrompe anche la trasmissione del segnale di sincronismo all'occorrenza dell'evento di congestione al blocco (3) ricevitore.

Si descrive inoltre un circuito integrato elettronico integrato su un substrato semiconduttore comprendente un blocco (2) trasmettitore ed un blocco (3) ricevitore connessi da una rete (4) di comunicazione, la rete di comunicazione comprendente prima (5) linea per un segnale dati, una seconda linea per un segnale di congestione, ed una terza linea (7) per un segnale di sincronismo.

Si descrive inoltre un'architettura per realizzare un circuito integrato elettronico integrato su un substrato semiconduttore comprendente un blocco (P; 2) trasmettitore ed un blocco (P; 3) ricevitore connessi da una rete (Q; 4) di comunicazione.

Fig. 6

**THIS PAGE BLANK (USPTO)**

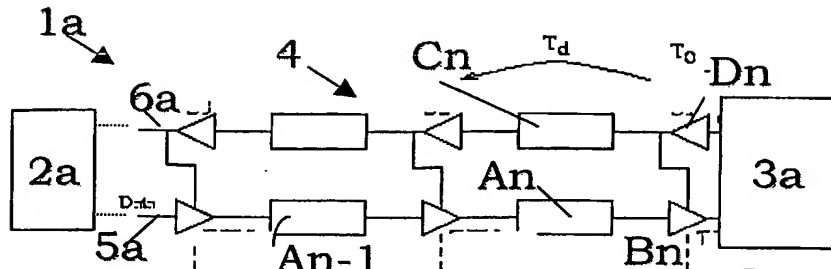


Fig. 1

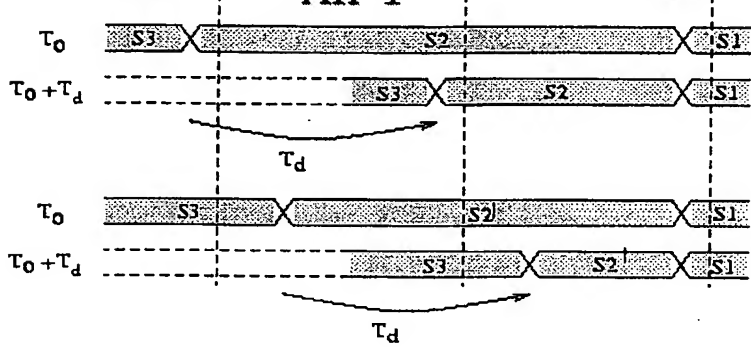


Fig. 2

Fig. 3

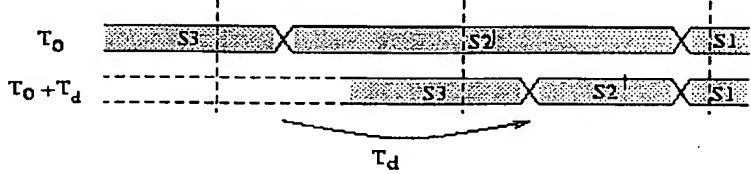


Fig. 4

Fig. 5

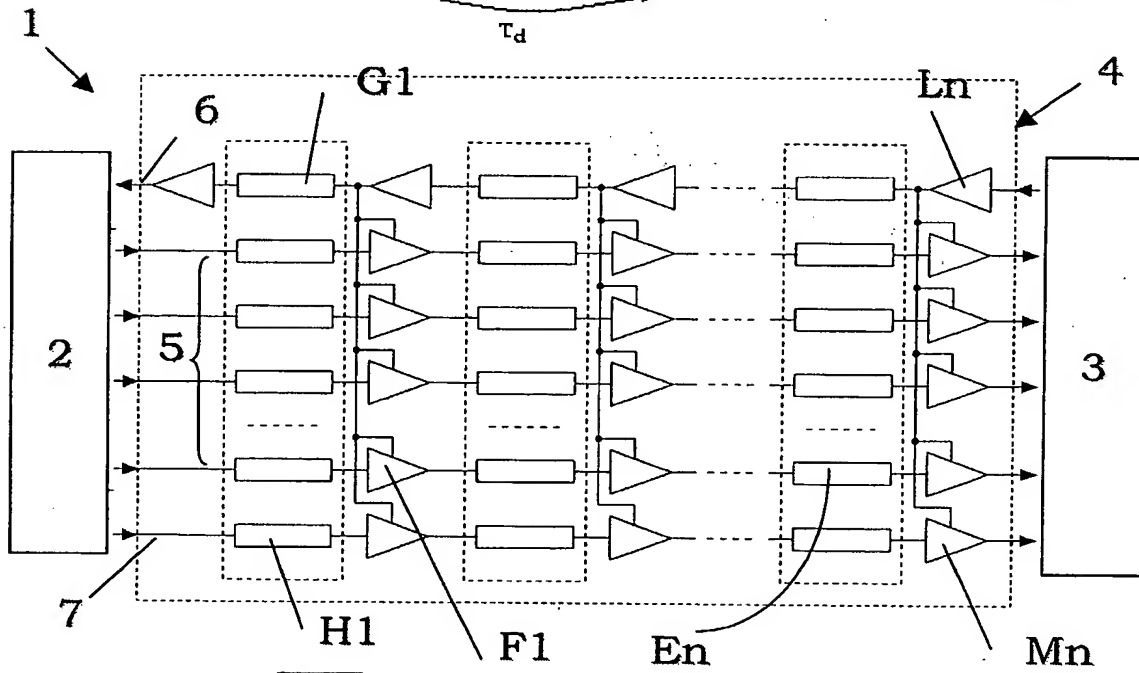


Fig. 6

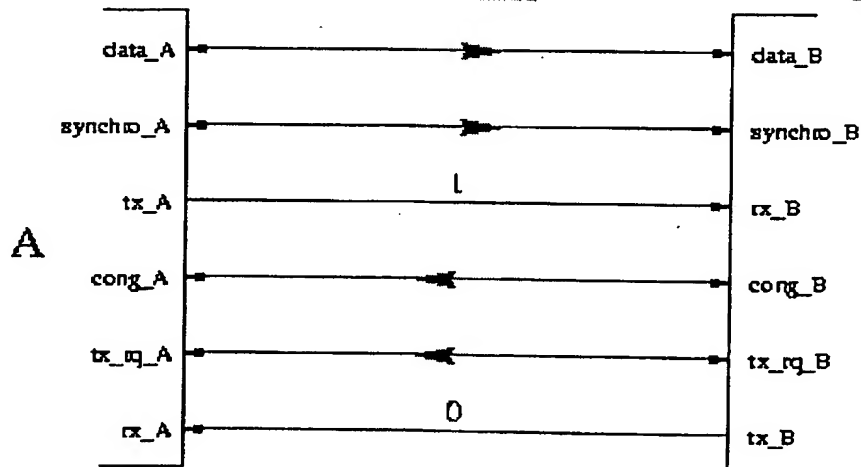


Fig. 7

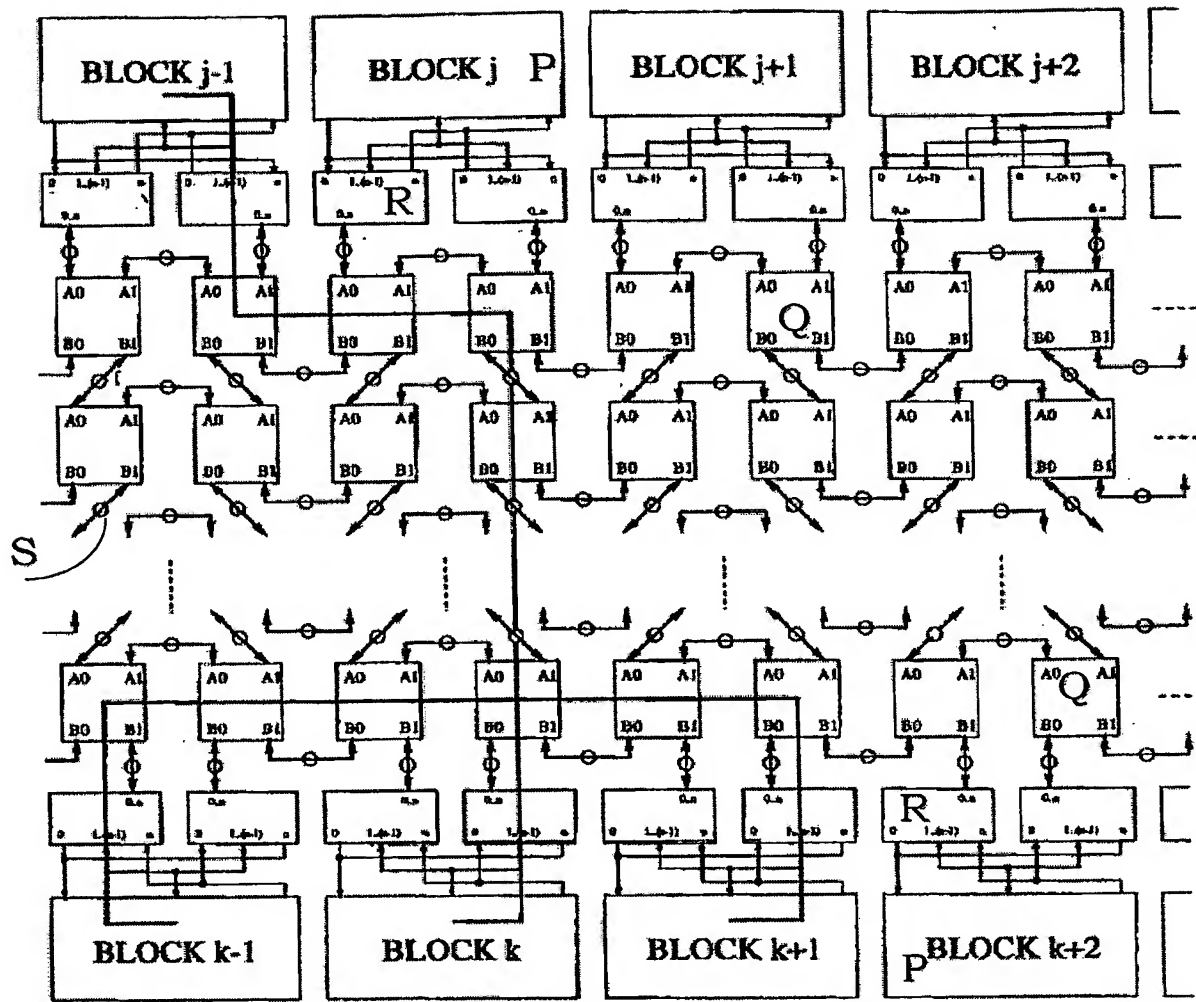


FIG. 8

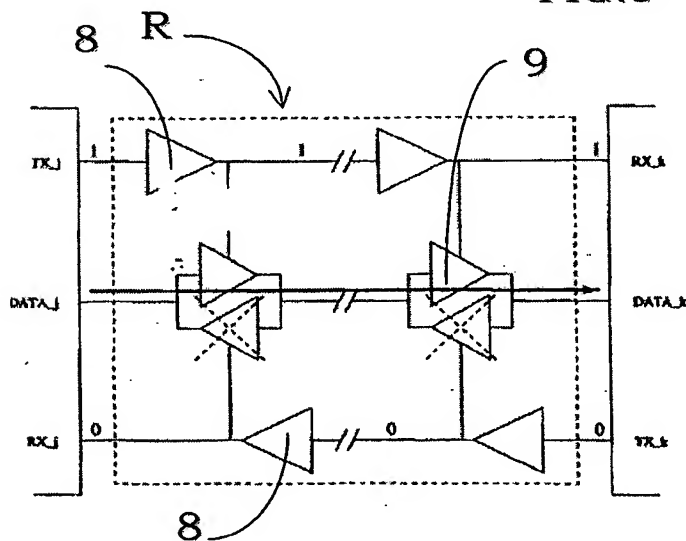


FIG. 9

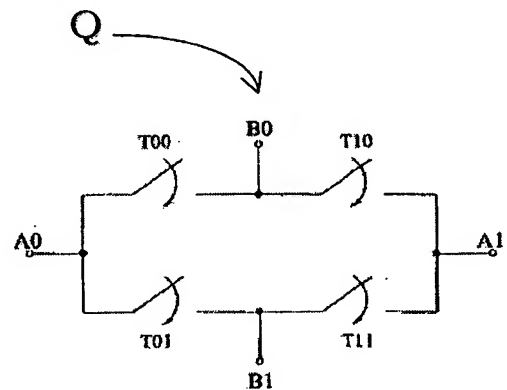


FIG. 10